

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 1 9 日
Date of Application:

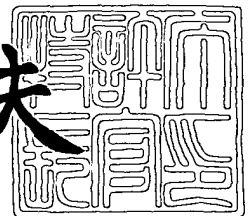
出 願 番 号 特 願 2 0 0 2 - 2 1 1 2 2 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 1 1 2 2 4]

出 願 人 ブラザー工業株式会社
Applicant(s):

2 0 0 3 年 7 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 PBR01993

【提出日】 平成14年 7月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/191

【発明者】

 【住所又は居所】 愛知県名古屋市瑞穂区苗代町 1 5 番 1 号 ブラザー工業株式会社内

 【氏名】 横地 敦

【特許出願人】

 【識別番号】 000005267

 【氏名又は名称】 ブラザー工業株式会社

【代理人】

 【識別番号】 100082500

 【弁理士】

 【氏名又は名称】 足立 勉

 【電話番号】 052-231-7835

【選任した代理人】

 【識別番号】 100109195

 【弁理士】

 【氏名又は名称】 武藤 勝典

【手数料の表示】

 【予納台帳番号】 007102

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9006582

【包括委任状番号】 0018483

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像読取装置

【特許請求の範囲】

【請求項 1】 主走査方向に配列された複数の受光素子からなり、有効な画素信号を出力する該受光素子の範囲が規定されている第 1 センサと、

主走査方向に配列された複数の受光素子からなり、有効な画素信号を出力する該受光素子の範囲が規定され、前記第 1 センサに対して副走査方向に所定間隔離れて配置された第 2 センサと、

前記第 1 センサの各受光素子から得た画素信号を、受光素子の配列順に出力する第 1 出力手段と、

前記第 2 センサを構成する受光素子の内、偶数番目に配置された受光素子から得た画素信号を、受光素子の配列順に出力する第 2 出力手段と、

前記第 2 センサを構成する受光素子の内、奇数番目に配置された受光素子から得た画素信号を、受光素子の配列順に出力する第 3 出力手段と、

前記各出力手段からの画素信号を、デジタル信号としての画素データに変換して出力する変換手段と、

該変換手段から出力される画素データを記憶する画素データ記憶手段と、
を備えた画像読取装置であって、

前記各出力手段が一走査あたりに出力する画素信号のうち、前記有効な画素信号を出力しはじめるまでの画素数を表す開始画素情報が各出力毎に記憶された開始画素情報記憶手段と、

前記開始画素情報に基づき、前記各出力手段の一走査あたりに記憶する画素データを制限する画素データ記憶制限手段と、

を備えたことを特徴とする画像読取装置。

【請求項 2】 前記開始画素情報記憶手段には、前記開始画素情報として、前記第 1 出力手段が一走査あたりの出力で、前記有効な画素信号を出力しはじめる画素数の情報が記憶されており、

前記画素データ記憶制限手段は、該開始画素情報から、前記各出力手段が一走査あたりの出力で、前記有効な画素信号が出力されはじめる画素数を求め、該画

素数に基づき、前記画素データ記憶手段が記憶する画素データを制限することを特徴とする請求項 1 記載の画像読取装置。

【請求項 3】 前記各出力手段が一走査当たり出力する前記有効な画素数を表す画素数情報が記憶された画素数情報記憶手段を備え、

前記画素データ記憶制限手段は、前記有効な画素信号の出力が終わってからの画素データを前記画素データ記憶手段が記憶しないよう、前記開始画素情報及び前記画素数情報に基づき、前記各出力手段の一走査当たり記憶する画素データを制限することを特徴とする請求項 1 または請求項 2 記載の画像読取装置。

【請求項 4】 前記画素数情報記憶手段には、前記画素数情報として、前記第 1 出力手段が一走査当たり出力する有効な画素数の情報が記憶されており、

前記画素データ記憶制限手段は、該画素数情報から、前記各出力手段が一走査当たり出力する有効な画素数を求め、該有効な画素信号の数に基づき、前記画素データ記憶手段が記憶する画素データを制限することを特徴とする請求項 3 記載の画像読取装置。

【請求項 5】 前記画素データ記憶制限手段は、前記変換手段から前記画素データ記憶手段への画素データの出力直後で、前記画素データ記憶手段が記憶する画素データを制限することを特徴とする請求項 1 から請求項 4 記載のいずれかの画像読取装置。

【請求項 6】 前記画素データ記憶手段は、画素データを記憶する記憶部と、前記変換手段から出力された画素データを該記憶部に書き込む書込手段とを備え、

前記画素データ記憶制限手段は、前記書込手段による前記記憶部への画素データの書込動作を制限することを特徴とする請求項 1 から請求項 4 記載のいずれかの画像読取装置。

【請求項 7】 前記変換手段は、前記各出力手段からの画素信号の画素データへの変換を、外部から入力される変換指令に従い実行するよう構成され、

前記画素データ記憶制限手段は、前記変換手段が、前記有効な画素信号に対応する画素信号を画素データに変換するよう、前記変換手段への変換指令の入力を制御することを特徴とする請求項 1 から請求項 6 記載のいずれかの画像読取装置

。 【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

一次元配列の受光素子を搭載したイメージセンサを用いて、原稿の画像を電子データとして読み取る、スキャナ、FAX、コピー機及びこれらの複合機などの画像読取装置に関する。

【0 0 0 2】

【従来の技術】

従来、一次元配列の受光素子を搭載したイメージセンサを用いて、原稿の画像を電子データとして読み取る、スキャナ、FAX、コピー機及びこれらの複合機などの画像読取装置が知られている。

【0 0 0 3】

ところで、画像読取装置での画像読み取りにおいて、例えば、写真画像などデータ量が多くなっても高精度で読み取りたい場合、FAXなどのデータ転送に用いるため精度より読み取った画像のデータ量を減らしたい場合、大量に原稿があり、多少画質が落ちてでもできるだけ速く読み取りたい場合、また画質、データ量もそこそこで読み取りたい場合など、要望される画像データの読み取らせ方は、読み取った画像の使用用途及び、読み取り時の状況によるため多様である。

【0 0 0 4】

これに対し、従来は、読み取った画像データの解像度を増減して出力することにより、画質、データ量を変化させて種々の用途に対応している。

また、これに対応する方法の一つとして、様々な用途に使えるよう、図2に例示するように、主走査方向に配列された複数の受光素子からなる2つのセンサ（第1センサ21、第2センサ22）と、第1センサ21の受光素子全ての画素信号を出力する第1シフトレジスタ25と、第2センサ22の受光素子の偶数番目の画素信号を出力する第2シフトレジスタ26と、第2センサ22の受光素子の奇数番目の画素信号を出力する第3シフトレジスタ27とからなるCCDリニアイメージセンサが開発された。

【0005】**【発明が解決しようとする課題】**

ところで、通常 CCD イメージセンサにおいて、受光端部は、受光素子の製造上の問題や、光学系のけられが多く、安定した精度の高い出力が得られないなどの理由から、受光素子列の一定範囲の両端部からの信号は有効とせず、受光素子列の中央部の受光素子を有効画素として規定し、この有効画素の範囲からの信号を、被写体を撮像した画素信号として用いるようにしている。

【0006】

しかし、CCD イメージセンサからの出力は、一番端の受光素子の信号から順番に出力するようになっており、有効画素以外（つまり無効画素）の信号も有効画素同様出力される。

このため、無効画素の信号も有効画素の信号と同様にメモリに書き込まれる。そして、無効画素は、読み取った画素信号を用いた画像処理の段階で無効画素を用いないよう選別されている。

【0007】

このため、無効画素のデータがメモリ領域を使用してしまい、メモリ容量を圧迫するという問題がある。また、読み取ったデータを用いての画像処理は、無効なデータを含んでの処理となるため処理データが多くなり、データの読み出しや、無効画素データの選別に時間がかかってしまうという問題もある。

【0008】

特に、先の 2 列のセンサで 3 出力の CCD イメージセンサの場合、2 つのセンサ分の無効画素となるため、1 つのセンサでの出力に対し、無効画素の数が多い。また、3 出力同時の出力では、第 1 シフトレジスタがまだ有効画素とならないうちに、第 2、第 3 シフトレジスタで有効画素を出力し始めるため、有効画素と無効画素のデータが混在して記録（記憶）されてしまい、読み取った画像データを後で画像処理する場合などで、情報を選別処理の効率が悪い。

【0009】

例えば、図 2 に示すように、CCD リニアイメージセンサにおける第 1 センサ 21 及び第 2 センサ 22 での受光素子の有効画素が、出力端方向から 7 番目の画

素から 15 番目の画素までの 9 個の画素であり、第 1 シフトレジスタ 25 での取込開始画素が出力端方向から 7 番目で取込画素数が 9 個であり、第 2 シフトレジスタ 26 での取込開始画素が出力端方向から 4 番目で取込画素数が 4 個であり、第 3 シフトレジスタ 27 での取込開始画素が出力端方向から 4 番目で取込画素数が 5 である場合、CCD リニアイメージセンサからの画素信号の出力をそのままメモリに記録（記憶）するようにすると、図 5（a）のように、有効画素のデータと無効画素のデータ（図中ハッチング部）が入り交じったかたちで記録（記憶）される。

【0010】

このように 2 列のセンサで 3 出力の CCD イメージセンサでは、無効画素の影響が大きく、問題となっている。また、このような問題は、例えば、原稿の主走査方向の一部分のみを対象として読み取るような場合にも起きる。

本発明は、こうした問題点に鑑みなされたものであり、2 つのセンサと、1 つのセンサの受光素子全ての画素信号を出力する第 1 シフトレジスタと、もう一つのセンサの受光素子の偶数番目の画素信号を出力する第 2 シフトレジスタと、第 2 シフトレジスタと同じセンサの受光素子の奇数番目の画素信号を出力する第 3 シフトレジスタとからなる CCD イメージセンサを用いた画像読取装置において、CCD イメージセンサの無効な素子の画素データをメモリに書き込まないようにすることを目的とする。

【0011】

【課題を解決するための手段】

かかる目的を達成するためになされた請求項 1 記載の画像読み取り装置においては、主走査方向に配列された複数の受光素子からなり、有効な画素信号を出力する受光素子の範囲が規定されている第 1 センサと、主走査方向に配列された複数の受光素子からなり、有効な画素信号を出力する受光素子の範囲が規定され、第 1 センサに対して副走査方向に所定間隔離れて配置された第 2 センサと、第 1 センサの各受光素子から得た画素信号を、受光素子の配列順に出力する第 1 出力手段と、第 2 センサを構成する受光素子の内、偶数番目に配置された受光素子から得た画素信号を、受光素子の配列順に出力する第 2 出力手段と、第 2 センサを

構成する受光素子の内、奇数番目に配置された受光素子から得た画素信号を、受光素子の配列順に出力する第3出力手段と、各出力手段からの画素信号を、デジタル信号としての画素データに変換して出力する変換手段と、変換手段から出力される画素データを記憶する画素データ記憶手段とを備える。

【0012】

そして、各出力手段が一走査当たり出力する画素信号のうち、有効な画素信号を出力しはじめるまでの画素数を表す開始画素情報が記憶された各出力毎に開始画素情報記憶手段と、開始画素情報に基づき、各出力手段の一走査当たり記憶する画素データを制限する画素データ記憶制限手段とを備えたことを特徴とする。

【0013】

この結果、本発明の画像読み取り装置によれば、受光素子からの画素信号の画素データについて、有効画素となってから画素データ記憶手段に記憶するようにできる。これにより、無効画素の画素データ記憶手段への記憶を削減できる。

ところで、各出力手段の出力が有効画素となる出力数は、第1、第2センサの読取はじめの無効画素の数が偶数の場合、第1出力手段で出力する画素数は、第1センサでの無効画素の数と同じ数となり、これに対し、第2、第3出力手段での画素数は、第2センサの数の半分（つまり第1出力手段で出力する画素数の半分）になる。また、第1、第2センサでの読取はじめの無効画素の数が奇数の場合、第1出力手段で出力する画素数に対し、第2出力手段は、第1出力手段で出力しはじめる数から1引いてから2で割った数となり、第3出力手段の画素数は、第1出力手段で出力しはじめる数から1引いてから2で割って1加えた数となる。このように、各出力手段が有効画素を出力しはじめる画素数の間には関連があり、第1出力手段で有効画素を出力しはじめる数が分かっているれば、他の2つの出力手段が有効画素を出力しはじめる数を簡単な演算手段で設定することができる。この関係を利用して、請求項2に記載のような画像読取装置とすることができる。

【0014】

即ち、請求項2記載の画像読取装置において、開始画素情報記憶手段には、開

始画素情報として、第1出力手段が一走査当たりの出力で、有効な画素信号を出力しはじめる画素数の情報と、前記有効な画素数の偶奇性の情報とが記憶されており、画素データ記憶制限手段は、開始画素情報から、各出力手段が一走査当たりの出力で、有効な画素信号が出力されはじめる画素数を求め、この画素数に基づき、画素データ記憶手段が記憶する画素データを制限する。

【0015】

この結果、本発明（請求項2）の画像読取装置によれば、開始画素情報記憶手段は1つの情報を持つだけのものとすることができる。よって開始画素情報記憶手段の記憶領域を減らすことができ装置を簡単化できる。

また、無効画素は、受光素子からの信号の出力開始部分だけではなく、終盤部分にもある。これに対しては、有効画素数の出力が終わる数の情報があれば、終盤部分も制御できる。

【0016】

これに対して、請求項3記載の画像読取装置においては、画素数情報記憶手段は、各出力手段が一走査当たりに出力する有効な画素数を表す画素数情報が記憶され、画素データ記憶制限手段が、有効な画素信号の出力が終わってからの画素データを画素データ記憶手段が記憶しないよう、開始画素情報及び画素数情報に基づき、各出力手段の一走査当たりに記憶する画素データを制限する。

【0017】

この結果、本発明によれば、終盤部の無効画素のデータも画素データ記憶手段に記憶しないようにできる。これにより、画素データ記憶手段の記憶領域の有効活用、画像処理での処理の容易化がよりできる。

また、有効な画素数についても、有効な画素信号が出力されはじめる画素数と同様、各出力手段間の関係があり、請求項4記載の画像読取装置とすることができる。

【0018】

即ち、請求項4記載の画像読取装置においては、画素数情報記憶手段には、画素数情報として、第1出力手段が一走査当たりに出力する有効な画素数が記憶されており、画素データ記憶制限手段は、画素数情報から、各出力手段が一走査当

たりに出力する有効な画素数を求め、この有効な画素数に基づき、画素データ記憶手段が記憶する画素データを制限する。

【0019】

この結果、本発明（請求項4）の画像読取装置によれば、画素数情報記憶手段は1つの情報を持つだけのものとしてすることができる。よって画素数情報記憶手段の記憶領域を減らすことができ装置を簡単化できる。

また、画素データの制限は、出力手段での出力以降、どの時点で行っても良いが、より上流で行う方が下流で行う処理で無効なデータに対する処理を行わなくても済む。

【0020】

そこで、請求項5記載の画像読取装置において、画素データ記憶制限手段は、変換手段から画素データ記憶手段への画素データの出力直後で、画素データ記憶手段が記憶する画素データを制限している。

この結果、本発明（請求項5）の画像読取装置によれば、変換手段の出力直後での画素データを制限できる。これにより、制限を行った以降での処理に無効なデータは流れなくなるため、伝送経路上に画素データの処理装置がある場合に、無効なデータによる無駄な処理を削減できる。

【0021】

また、画素データの伝送の経路上、より下流で行っても良く、請求項4記載の画像読取装置のように、画素データ記憶手段への書き込みの段階で行っても良い。

即ち、請求項6記載の画像読取装置において、画素データ記憶手段は、画素データを記憶する記憶部と、変換手段から出力された画素データを記憶部に書き込む書込手段とを備え、画素データ記憶制限手段は、書込手段による記憶部への画素データの書込動作を制限する。

【0022】

この結果、本発明（請求項5）の画像読取装置によれば、記憶部に書き込む段階での書き込み制限をすることができる。

また、無効な画素データが流れている間は、消費電力を抑える目的から極力、

不必要な動作は行わないようにしたい。

【0023】

これに対し、請求項7記載の画像読取装置において、変換手段は、各出力手段からの画素信号の画素データへの変換を、外部から入力される変換指令に従い実行するよう構成され、画素データ記憶制限手段は、変換手段が、有効な画素信号に対応する画素信号を画素データに変換するよう、変換手段への変換指令の入力を制御する。

【0024】

この結果、本発明（請求項5）の画像読取装置によれば、無効データの時には変換手段は行われず、消費電力を低減できる。

【0025】

【発明の実施の形態】

以下に本発明の実施例を図面と共に説明する。

[第1実施例]

図1は、本発明が適用された画像読取装置1の内部構成を表すブロック図である。

【0026】

本実施例の画像読取装置1は、CCD (Charge Coupled Diode) リニアイメージセンサ20が感受した原稿画像の画素信号を、AFE (Analog Front End) 75でデジタル信号（画素データ）に変換して出力し、画像読取制御部40内にあるデータサンプリングブロック44で画素データを受け、画像読取制御部40内にあるメモリインターフェイス回路46によりメモリ70に画素データを書き込む画像読取装置である。

【0027】

本実施例の画像読取装置1は、図1に示すように、CCDリニアイメージセンサ（以下CCDセンサと呼ぶ。）20と、画像読取装置1全体の動作を制御するCPU80、CCDセンサ20からの3出力のアナログデータをセレクタ76で切り換えながらデジタル信号に変換し出力するAFE75、画素データを記録（記憶）するメモリ70、CCDセンサ20や、AFE75及びメモリ70の動作

を制御する画像読取制御部 40などで構成されている。

【0028】

尚、CCDセンサ 20は、図2に示すように、第1センサ 21、第2センサ 22、第1シフトレジスタ 25、第2シフトレジスタ 26、及び第3シフトレジスタ 27とで構成される。

そして、第1センサ 21は、受光した光量に応じて電荷を蓄積する受光素子が一次元に配置されている。また、第2センサ 22は、第1センサ 21と同じ受光素子列を第1センサ 21に対し、副走査方向に所定のライン分離（今回は6ライン分）、かつ主走査方向に半素子分ずれて設置している。

【0029】

また、第1シフトレジスタ 25は、第1センサ 21の受光素子が蓄積した電荷の全てを個々に受け、出力端子OUT1に向かって電荷をシフトして、電荷に比例した電圧を画素信号として出力端子OUT1から順次出力し、第2シフトレジスタ 26は、第2センサ 22の偶数番目の受光素子の電荷を個々に受け、第1シフトレジスタ 25と同様の方法で出力端子OUT2に順次出力し、第3シフトレジスタ 27は、第2センサ 22の奇数番目の受光素子の電荷を個々に受け第1シフトレジスタ同様の方法で出力端子OUT3に順次出力する。

【0030】

また、第1、第2センサ 21、22の受光素子の有効画素は、図2に示す例では、出力端方向から7番目の画素から9個となっている。つまり、第1シフトレジスタの取込開始画素が7個目で、取込画素数が9個、第2シフトレジスタでの取込開始画素が4個目で、取込画素数が4個、第3シフトレジスタでの取込開始画素が4個目で、取込画素数が5個となる。

【0031】

また、AFE 75は、CCDセンサ 20の出力端子OUT1～OUT3からの出力を外部からの指令に基づき選択して、所定の時間毎に切り換えて出力するセレクタ 76と、セレクタ 76からの信号をデジタル信号に変換するA/D変換器 77とからなる。そして、AFE 75は、CCDセンサ 20からの入力をサンプルホールドし、それぞれゲイン調整可能で、かつオフセット補正機能を有するチ

チャンネルを3個分有し、CCDセンサ20の出力端子OUT1からの出力をチャンネルCH1として受け、出力端子OUT2の出力をチャンネルCH2として受け、出力端子OUT3の出力をチャンネルCH3として受ける。

【0032】

また、画像読取制御部40は、いわゆるASIC (Application Specific Integrated Circuit) で構成され、AFE75の動作を制御するAFEコントロールブロック42、CCDセンサ20の動作を制御するデバイスコントロールブロック43、FIFO (First In First Out) メモリを有し、AFE75からの画素データを、サンプリングしてFIFOメモリに記録するデータサンプリングブロック44、データサンプリングブロック44での画素データのサンプリングのタイミング信号を生成する取込信号生成回路50、サンプリングした画素データに対し、シェーディング等の補正を加える読取データ処理回路45、読取データ処理回路45からの画素データをメモリ70に書き込みを行うメモリインターフェイス回路46、及び画像読取制御部40内の各ブロックでの動作条件の設定値を記憶するレジスタ群60などにより構成されている。

【0033】

尚、レジスタ群60は、チャンネルCH1の信号に対して取込開始画素の数を記憶するチャンネル1取込開始画素設定レジスタ61及び先の取込開始画素と取込画素数を加えた値を記憶するチャンネル1取込画素数設定レジスタ62、同様にチャンネルCH2に対するチャンネル2取込開始画素設定レジスタ63及びチャンネル2取込画素数設定レジスタ64、また同様にチャンネルCH3に対するチャンネル3取込開始画素設定レジスタ65及びチャンネル3取込画素数設定レジスタ66などからなり、各レジスタの内容は、画像読取装置1の起動時にCPU80により書き込まれる。

【0034】

また、取込信号生成回路50は、各チャンネル毎に、デバイスコントロールブロック43からのパルス信号でカウントアップするカウンタ53、及び、対応するチャンネルの取込開始画素設定レジスタの値及び取込画素数設定レジスタの値

とカウンタ 53 の値とを比較する論理演算回路である比較部 52、及び、比較部 52 とデバイスコントロールブロック 43 からのタイミング信号との論理積を出力する AND 素子 51 で構成されている。尚、比較部 52 は、フリップフロップ回路 57 と、比較器 58 と、切り換えスイッチ 59 とで構成されている。また、比較器 58 の出力によりフリップフロップ回路 57 の出力が変化するようになっており、フリップフロップ回路 57 の信号は、比較部 52 の出力となる。また、比較器 58 は、カウンタ 53 の値と、切り換えスイッチ 59 からの値を比較し、カウンタ 53 の値が切り換えスイッチ 59 からの値以上となると「1」を出力する。また、切り換えスイッチ 59 は、フリップフロップ回路 57 の出力の状態によって、比較器 58 への入力を取込開始画素設定レジスタの値か、取込画素数設定レジスタの値に切り換える。そして、切り換えスイッチ 59 はフリップフロップ回路 57 の出力の値が「0」の場合、取込開始画素設定レジスタを選択し、「1」の場合、取込画素数設定レジスタを選択する。

【0035】

また、デバイスコントロールブロック 43 は、CCD センサ 20 からの画素信号の出力時間で決まる周期のパルス信号であるシフトゲート信号 SH と、シフトレジスタの特性で決まる周期で、180 度位相の違う 2 つの矩形波である転送クロック $\phi 1$ 、 $\phi 2$ と、転送クロックと同じ周期で出るパルス信号であるリセット信号 RS と、を CCD センサ 20 に出力する。更に、デバイスコントロールブロック 43 は、セクタ 76 で選択するチャンネルに対応した取込信号生成回路 50 のカウンタ 53 へのラインに、パルス信号を出力する。尚、このパルス信号は、AFE 75 のセクタ 76 でのチャンネルを切り換えるタイミングに同期している。また、シフトゲート信号 SH のタイミングで、取込信号生成回路 50 のカウンタ 53 などをリセットするようになっている。

【0036】

ここで、本画像読取装置で、CCD センサ 20 の第 1、第 2 センサ 21、22 での画素信号を、第 1 から第 3 シフトレジスタから出力して、画素データとしてメモリ 70 に書き込むまでの動作を説明する。尚、本動作で読み込まれた画素データは、第 2 センサ 22 から画素データと、CCD センサ 20 を 6 ライン分移動

したときの第1センサ21からの画素データとを、交互に並べた画素データとして取り扱うことにより、1つのセンサがもつ解像度の2倍の解像度の画素データとして用いるためのものである。

【0037】

まず、CCDセンサ20において、第1センサ21に前回のシフトゲート信号SHから今回のシフトゲート信号SHまでの間に原稿からの光を受けて蓄積された受光素子毎の電荷を、シフトゲート信号SHの立ち下がり、第1シフトレジスタ25に移動する。また、同じく第2センサ22についても、偶数番目の受光素子の電荷が、第2シフトレジスタ26に、奇数番目の受光素子の電荷が第3シフトレジスタ27に移動する。

【0038】

次に、図3に示す様に、CCDセンサ20の各出力端子OUT1～OUT3の出力は、リセット信号RSの立ち上がりで、電荷がクリアされ基準電圧に戻る。そして、転送クロック $\phi 1$ 、 $\phi 2$ のエッジ部で、各シフトレジスタの電荷が出力端子方向にシフトされ、一番出力端子側のシフトレジスタの電荷が出力端子にシフトするため、出力端子OUT1～OUT3でシフトされた電荷に応じた電圧が出力される。すなわち、受光素子で受光した画像の画素信号が出力される。

【0039】

そして、出力端子OUT1～OUT3での電圧変化が安定する時点から、次のリセット信号RSが来るまでの間にAFE75の各チャンネルCH1～CH3で、出力端子OUT1～OUT3の画素信号をサンプルホールドし、そのサンプルホールドした画素信号にAFEコントロールブロック42を介してあらかじめ設定されているゲインをかけ、オフセット補正を加える。

【0040】

これらの各センサの電荷が各シフトレジスタによりシフトされて、AFE75の各チャンネルCH1～CH3毎にサンプルホールドされ、オフセット補正されるまでの動作は、転送クロック $\phi 1$ 、 $\phi 2$ のエッジ毎に繰り返される。

次に、AFE75の各チャンネルCH1～CH3でサンプルホールドされ、オフセット補正された信号は、セクタ76で、図4(a)に示す様に、転送クロ

ック $\phi 1$ 、 $\phi 2$ の周期内で 3 つのチャンネルを順次選択し出力される。

【0041】

次に、セクタ 76 から出力された信号は、A/D 変換器 77 で、セクタ 76 の出力と同じ周期で図 5 (b) のように、アナログ信号からデジタル信号へ変換され、例えば、1 画素につき 8 ビットからなるデジタル信号 (画素データ) として順次出力される。

【0042】

一方、取込信号生成回路 50 では、A/D 変換器 77 が画素データを出力するタイミングで、デバイスコントロールブロック 43 から、A/D 変換器 77 から出力される画素データのチャンネルに対応した回路にパルス信号を受け、カウンタ 53 の値によってデータサンプリングブロック 44 に対して、サンプリングのトリガ信号を出力する。

【0043】

例えば、チャンネル CH2 の画素データが A/D 変換器 77 から出力される時、デバイスコントロールブロック 43 からチャンネル CH2 に対応するカウンタ 53 に対してパルス信号が出力されカウンタ 53 がカウントアップする。この時、比較部 52 のフリップフロップ回路 57 の初期値は「0」のため、切り換えスイッチ 59 がチャンネル 2 取込開始画素設定レジスタ 63 を選択し、カウンタ 53 の値と比較器 58 で比較して、カウンタ 53 の値がチャンネル 2 取込開始画素設定レジスタ 63 の値である「4」以上となると、比較器 58 の出力が「1」となる。そして、フリップフロップ回路 57 の出力が「1」となり、デバイスコントロールブロック 43 からのパルス信号が来ている間、AND 素子 51 が「1」となる。

【0044】

そして、フリップフロップ回路 57 の出力が「1」となると、切り換えスイッチ 59 での選択がチャンネル 2 取込画素数設定レジスタ 64 となり、比較対象の値がカウンタ 53 より大きくなるため、比較器 58 の出力は再び「0」となる。

次に、チャンネル CH2 用のカウンタ 53 の値が、チャンネル 2 取込画素数設定レジスタ 64 の値である「8」以上となると、比較器 58 の出力が「1」とな

り、フリップフロップ回路 57 を動作させて「0」の出力とし、デバイスコントロールブロック 43 からパルス信号が来ても AND 素子 51 の出力が「0」のままとなる。

【0045】

同様に、チャンネル CH1 の画素データに対しては、カウンタ 53 の出力が、チャンネル 1 取込開始画素設定レジスタ 61 の値「7」以上の場合、及びチャンネル CH3 の画素データに対しては、カウンタ 53 の出力がチャンネル 3 取込開始画素設定レジスタ 65 の値「4」以上の場合に、デバイスコントロールブロック 43 からのパルス信号が来ている間、AND 素子 51 が「1」となる。また、チャンネル CH1 の画素データに対して、カウンタ 53 の出力が、チャンネル 1 取込画素数設定レジスタ 62 の値「16」以上の場合、及びチャンネル CH3 の画素データに対して、カウンタ 53 の出力がチャンネル 3 取込画素数設定レジスタ 66 の値「9」以上の場合に、デバイスコントロールブロック 43 からのパルス信号が来ても、AND 素子 51 が「0」のままとなる。

【0046】

次に、AFE 75 からの出力された画素データは、データサンプリングブロック 44 で、取込信号生成回路 50 の 3 つの AND 素子 51 のいずれかの出力が「1」となったタイミングでサンプリングされ、FIFO メモリに記憶される。この時、受けた AND 素子 51 のチャンネルを基に、画素データにチャンネルの情報が加えられる。例えば画素データに、チャンネルの情報を表す 2 ビットのデータを加える。

【0047】

次に、データサンプリングブロック 44 の FIFO メモリに記憶された画素データは、読取データ処理回路 45 により取り出されて、画素データのチャンネルに対応したシェーディング処理、ガンマ補正、暗補正の演算処理が行われる。

次に、読取データ処理回路 45 で演算処理された画素データは、メモリインターフェイス回路 46 でメモリ 70 の所定のアドレスに順番に書き込まれる。

【0048】

次に、次のシフトゲート信号 SH が出ると、画像読取制御部 40 内にある各カ

ウンタはリセットされると共に、CCDセンサ20は、先の画素信号の出力をしている間に第1及び第2センサ21、22に蓄積された電荷を、再度各シフトレジスタに転送する。そして、以下同様にCCDセンサ20から画素信号を出力して、メモリ70に記録（記憶）するまでの動作を繰り返す。

[効果]

取込信号生成回路50のカウンタ53が、チャンネル1～3取込開始画素設定レジスタ61、63、65に設定の画素数（つまりチャンネルCH1は7個、チャンネルCH2は4個、チャンネルCH3は4個。）以上となってから比較部52の出力が「1」となり、AFE75から出力されるチャンネルの画素データに対して、AND素子51からのイネーブル信号が出力され、データサンプリングブロック44でサンプリングされる。また、チャンネル1～3取込画素数設定レジスタ62、64、66に設定の画素数（つまりチャンネルCH1は16個、チャンネルCH2は8個、チャンネルCH3は9個。）以上となってから比較部52の出力が「0」となり、AFE75から出力されるチャンネルの画素データに対して、AND素子51からのイネーブル信号が出力されなくなり、データサンプリングブロック44でサンプリングされない。

【0049】

よって、図5（b）のように第1～第3シフトレジスタ25～27が出力する有効画素の画素データだけがメモリに記録（記憶）される。

これにより、メモリ70への無効な画素データの記録（記憶）を減らすことができ、不必要に大きなメモリ70を持たずに済む。また、外部の画像処理装置等にメモリ70のデータを出力する際にも、データ量が少なくなり速く出力でき、外部の画像処理装置等での処理も無効なデータを選別する必要が無くなる。

[第2実施例]

第2実施例は、目的、用途は第1実施例と同じで、画像読取制御部40の構成を、第1実施例では、取込信号生成回路50の信号を用いて、データサンプリングブロック44のサンプリングタイミングを制限していたものを、第2実施例では、メモリインターフェイス回路46で書き込むデータを、取込信号生成回路54で制限するようにしたものである。

【 0 0 5 0 】

その構成は、図 6 の全体構成に示す様に、デバイスコントロールブロック 4 3 が、データサンプリングブロック 4 4 に対しサンプリングのタイミング信号を出力し、取込信号生成回路 5 4 がメモリインターフェイス回路 4 6 に対し、メモリ 7 0 への画素データの書き込みを許可する信号を出力するようになっている。

【 0 0 5 1 】

また、メモリインターフェイス回路 4 6 は、カウンタ機能を有し、3 つのデータ（つまり C C D センサ 2 0 の 3 チャンネル分の信号データ）を受け取る毎に、取込信号生成回路 5 4 に対し、カウントアップのためのパルス信号を出力する。

そして、取込信号生成回路 5 4 は、メモリインターフェイス回路 4 6 からのパルス信号により、カウンタ 5 3 をカウントアップし、チャンネル 1 取込開始画素設定レジスタ 6 1 及びチャンネル 1 取込画素数設定レジスタ 6 2、チャンネル 2 取込開始画素設定レジスタ 6 3 及びチャンネル 2 取込画素数設定レジスタ 6 4、チャンネル 3 取込開始画素設定レジスタ 6 5 及びチャンネル 3 取込画素数設定レジスタ 6 6 の値を、カウンタ 5 3 の値と、それぞれ各比較部 5 2 で比較し、カウンタ 5 3 の値が、取込開始画素から取込画素数の間の場合に、比較部 5 2 が「1」となり、メモリインターフェイス回路 4 6 の各入力ポートに出力する。

【 0 0 5 2 】

メモリインターフェイス回路 4 6 は、読取データ処理回路 4 5 から受け取った画素データがもつチャンネル情報に対応する取込信号生成回路 5 4 からの入力ポートに「1」の信号があると、メモリ 7 0 に対する書き込みを行う。

[効果]

メモリインターフェイス回路 4 6 でメモリ 7 0 に書き込むデータは、チャンネル 1 ～ 3 取込開始画素設定レジスタ 6 1、6 3、6 5 に設定の画素数より大きくなってから出力されるデータに対しては、比較部 5 2 の出力が「1」となるため、メモリ 7 0 への書き込みが行われる。また、メモリインターフェイス回路 4 6 でメモリ 7 0 に書き込むデータは、チャンネル 1 ～ 3 取込画素数設定レジスタ 6 2、6 4、6 6 に設定の画素数以上となってから出力されるデータに対しては、

比較部 52 の出力が「0」となるため、メモリ 70 への書き込みが行われない。よって、第 1 から第 3 シフトレジスタ 25 ～ 26 が出力する有効な画素の画素データだけがメモリに記録（記憶）される。

【0053】

この結果、第 1 実施例と同様の効果を得ることができる。

[本発明との対応関係]

上述した、CCD センサ 20 の第 1 センサ 21、第 2 センサ 22、第 1 シフトレジスタ 25、第 2 シフトレジスタ 26、第 3 シフトレジスタ 27 は、それぞれ本発明における、第 1 センサ、第 2 センサ、第 1 出力手段、第 2 出力手段、第 3 出力手段である。

【0054】

また、AFE 75 が、本発明における変換手段で、メモリ 70 が、画像データ記憶手段で、チャンネル 1 ～ 3 取込開始画素設定レジスタ 61、63、65 が開始画素情報記憶手段画素で、チャンネル 1 ～ 3 取込画素数設定レジスタ 62、64、66 が、画素数情報記憶手段で、取込信号生成回路 50、54 が、画素データ記憶制限手段である。

[変形例]

以上、本発明の実施形態について説明したが、本発明は上記の具体的な実施形態に限定されず、このほかにも様々な形態で実施することができる。

【0055】

例えば、上記第 1 実施例の説明では、CCD センサ 20 からの 3 つの出力を全てメモリ 70 に記録（記憶）する場合について説明したが、AFE コントロールブロック 42 に対し、AFE 75 で選択するチャンネルを指令し、AFE コントロールブロック 42 からの信号によりセクタ 76 で選択するチャンネルを切り換えることにより、各チャンネルのうち 1 つのチャンネルの画素データだけをメモリ 70 に記録（記憶）することや、チャンネル CH2、CH3 の二つのチャンネルの画素データだけをメモリ 70 に記録（記憶）することもできる。これにより、第 1 センサ及び第 2 センサが持つ解像度での画素データの記録（記憶）や、第 2 センサが持つ解像度の半分の解像度での画素データの記録（記憶）など、読

み取る解像度を変えたデータを取得することができる。

【0056】

また、本第1、第2実施例において、取込画素数を各チャンネルについてチャンネル1～3取込開始画素設定レジスタ61、63、65及び、チャンネル1～3取込画素数設定レジスタ62、64、66のレジスタに持たせているが、取込開始画素及び取込画素数には各チャンネル間で関連があるため、図7のように、レジスタ群にもつ情報はチャンネル1取込開始画素設定レジスタ61及びチャンネル1取込画素数設定レジスタ62だけとし、チャンネル1取込開始画素設定レジスタ61の値とチャンネル1取込画素数設定レジスタ62の値それぞれのバイナリデータを、1ビット桁落ちする方向にシフトする（つまり2で除算する）演算回路55と、演算回路55でのビットシフトで外にでてくる値（例えば、チャンネル1取込開始画素設定レジスタ61の値が偶数なら「0」、奇数なら「1」）が設定される+1設定レジスタ56で構成してもよい。

【0057】

これにより、チャンネルCH2の比較部52では、チャンネルCH2の取込開始画素及び取込画素数として、チャンネル1取込開始画素設定レジスタ61の値とチャンネル1取込画素数設定レジスタ62の値を演算回路55で演算した値をそれぞれ用い、チャンネルCH3の比較部52では、チャンネルCH3の取込開始画素及び取込画素数として、チャンネル1取込開始画素設定レジスタ61の値とチャンネル1取込画素数設定レジスタ62の値を演算回路55で演算した値に、+1設定レジスタ56の値を加えた値がそれぞれ用いられる。

【0058】

このように、チャンネル1取込開始画素設定レジスタ61及び、チャンネル1取込画素数設定レジスタ62へ値を設定するだけでよい画像読取装置とすることができる。尚、この図7に示す実施例では、図3に示す読み取り有効範囲に対して、第2センサ22の「6」～「14」の画素が有効なデータとして出力されることになるが、例えば、チャンネルCH2に対して+1設定レジスタを設け、かつチャンネルCH3に対しては、演算回路55で演算した値に常に「1」を加算した値を比較部52に与えることによって、図3と同様に出力することも可能で

ある。

【0059】

さらに、チャンネルCH2とチャンネルCH3での取込開始画素及び取込画素数の違いは、多くて+1設定レジスタ56で加える1画素分だけであり、チャンネルCH2での取込開始画素及び取込画素数を、チャンネルCH3と同じとしても大きな影響は無い。これより、チャンネルCH2用のAND素子51にチャンネルCH3用の比較部52の出力を入力し、チャンネルCH2用の比較部52及びカウンタ53を省略するようにしても良い。これにより、より簡略な装置構成とすることができる。

【0060】

また、図1の点線で示すように、取込信号生成回路50からの信号をAFEコントロールブロック42で入力し、取込信号生成回路50から信号が入ったチャンネルの信号に対してA/D変換器77の動作を実施するように制御してもよい。これにより、無効なデータが流れている間は、A/D変換器77が動作しなくなるため、電力の低減が図られる。

【0061】

また、上記実施例では、各チャンネルの取込画素数設定レジスタ62、64、66に各チャンネルの取込開始画素と取込画素数とを加えた値を記憶させるようにしたが、それらの各設定レジスタ62、64、66には取込画素数の値をそのまま記憶させる構成として、それらの各設定レジスタ62、64、66と取込開始画素設定レジスタ61、63、65との値を加算する回路を介して、それらの加算値を比較部52に供給するようにしてもよい。

【図面の簡単な説明】

【図1】 第1実施例の全体構成を表す図である。

【図2】 第1実施例のCCDリニアイメージセンサ20の構成を表す図である。

【図3】 第1実施例のCCDセンサ20での信号の状態を表すタイミングチャート図である。

【図4】 第1実施例の画素データの状態を説明する図である。

【図 5】 第 1 実施例のメモリ 70 での画素データの記録状態を説明する図である。

【図 6】 第 2 実施例の全体構成を表す図である。

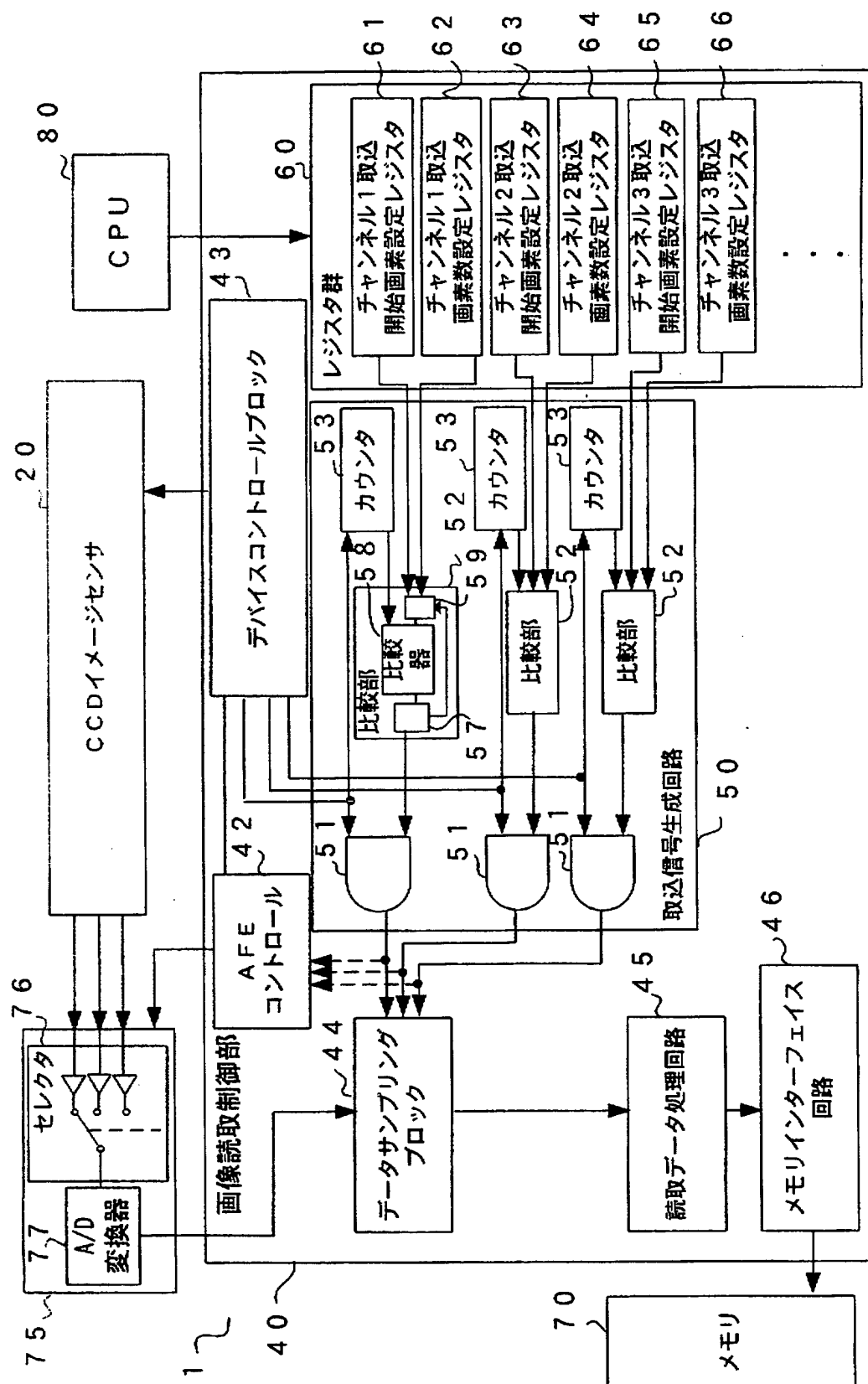
【図 7】 第 1 実施例の変形例の全体構成を表す図である。

【符号の説明】

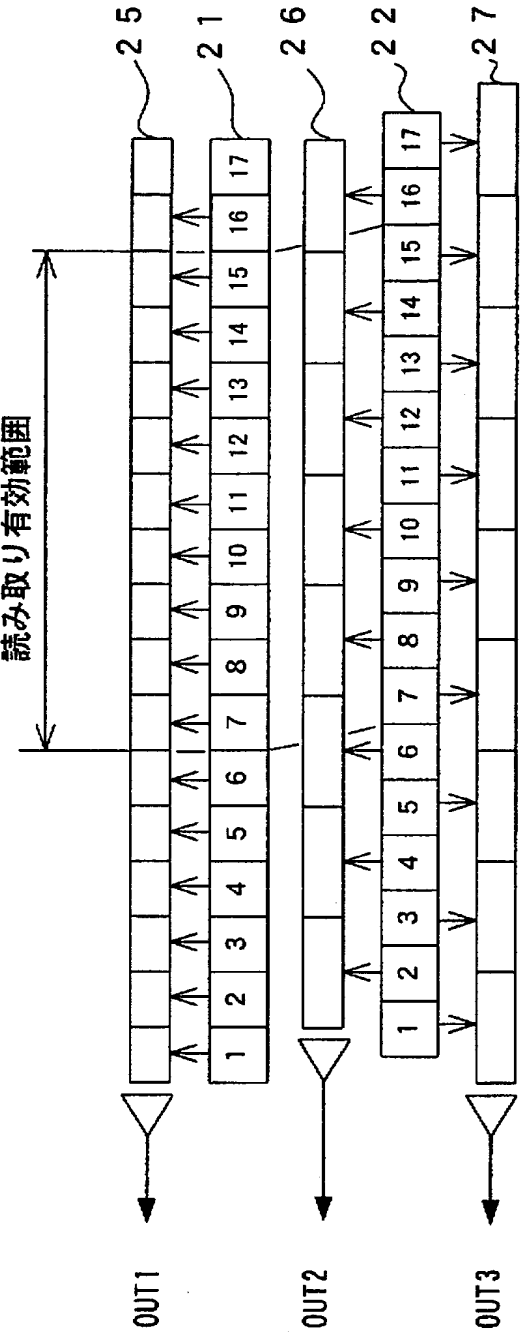
1…画像読取装置、20…CCDリニアイメージセンサ、21…第1センサ、22…第2センサ、25…第1シフトレジスタ、26…第2シフトレジスタ、27…第3シフトレジスタ、40…画像読取制御部、42…AFEコントロールブロック、43…デバイスコントロールブロック、44…データサンプリングブロック、45…読取データ処理回路、46…メモリインターフェイス回路、50…取込信号生成回路、51…AND素子、52…比較部、53…カウンタ、54…取込信号生成回路、60…レジスタ群、61…チャンネル1取込開始画素設定レジスタ、62…チャンネル1取込画素数設定レジスタ、63…チャンネル2取込開始画素設定レジスタ、64…チャンネル2取込画素数設定レジスタ、65…チャンネル3取込開始画素設定レジスタ、66…チャンネル3取込画素数設定レジスタ、70…メモリ、75…AFE、76…セレクタ、77…A/D変換器。

【書類名】 図面

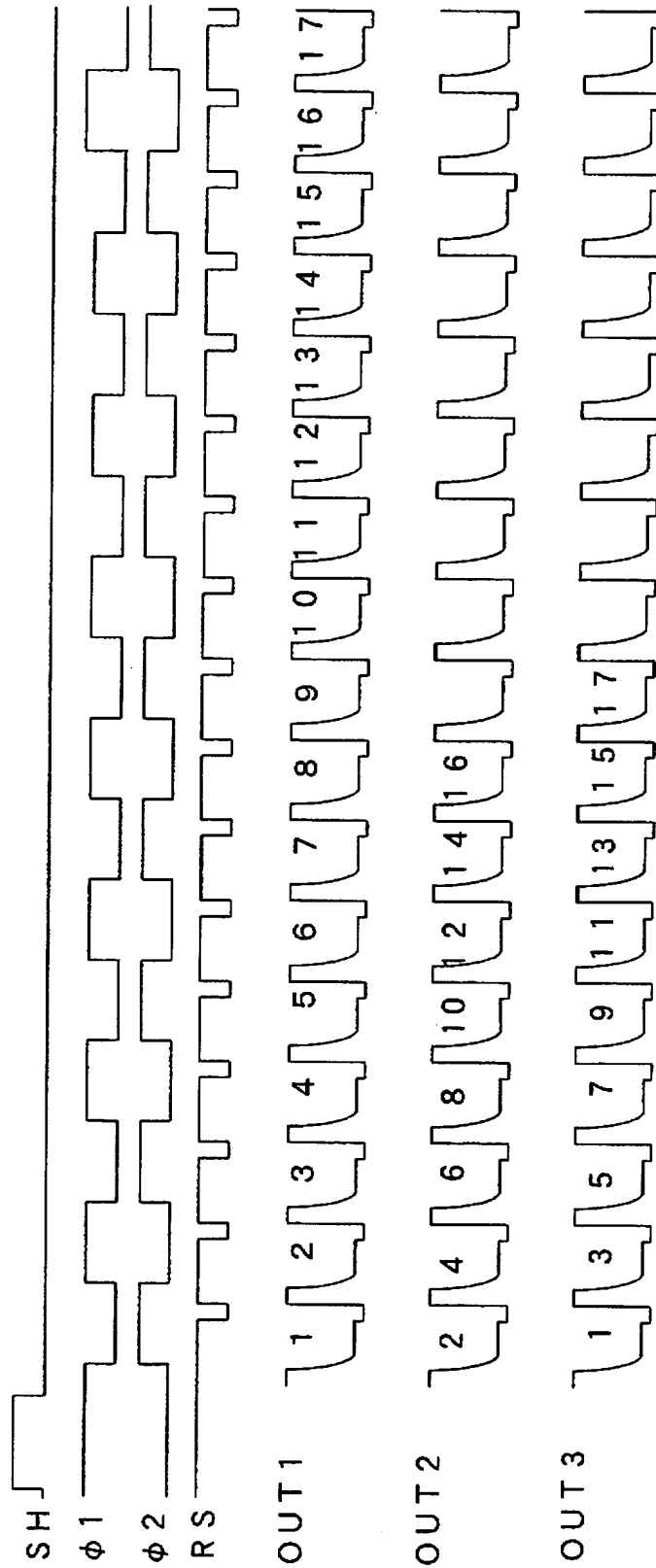
【図 1】



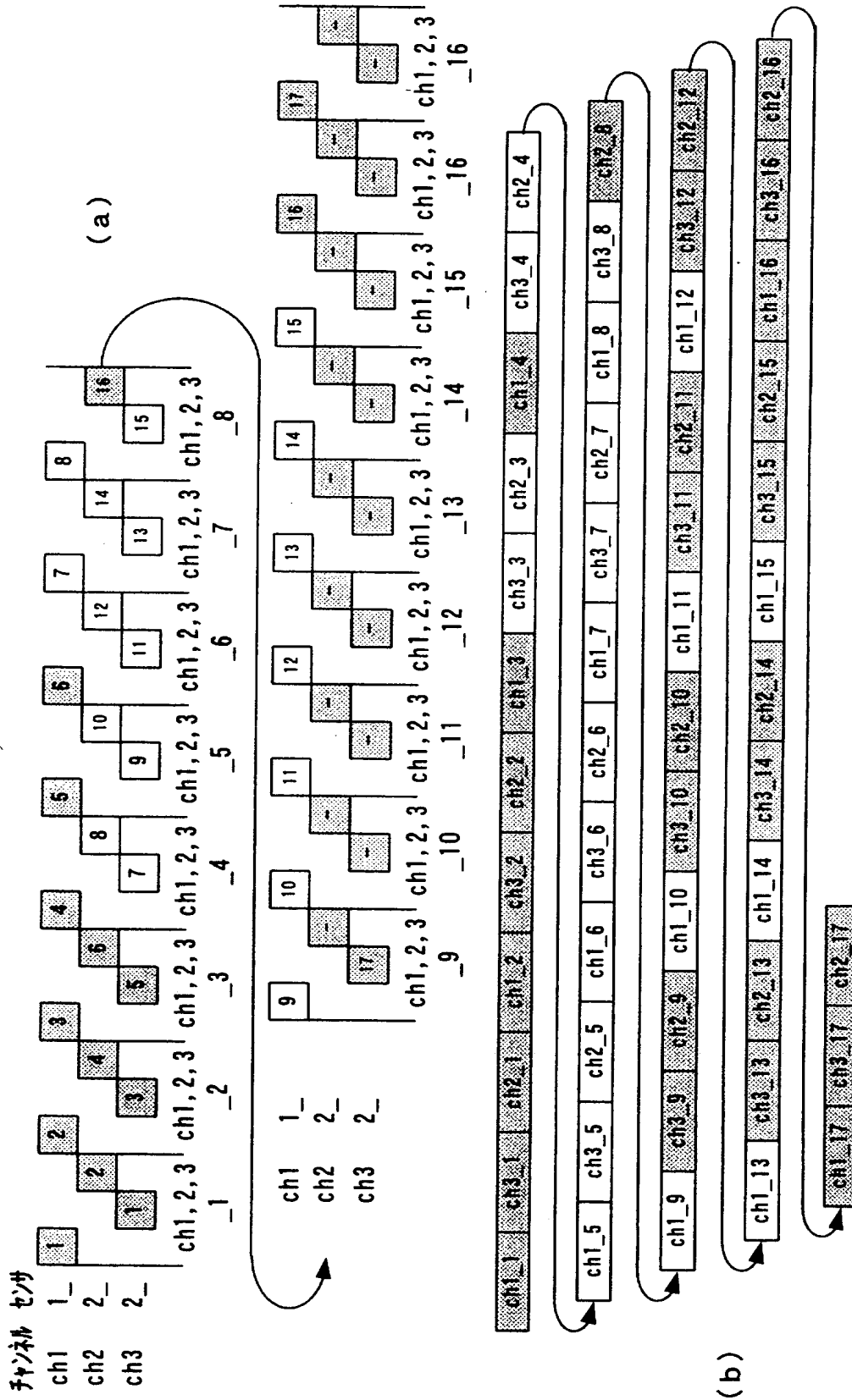
【図 2】



【図 3】



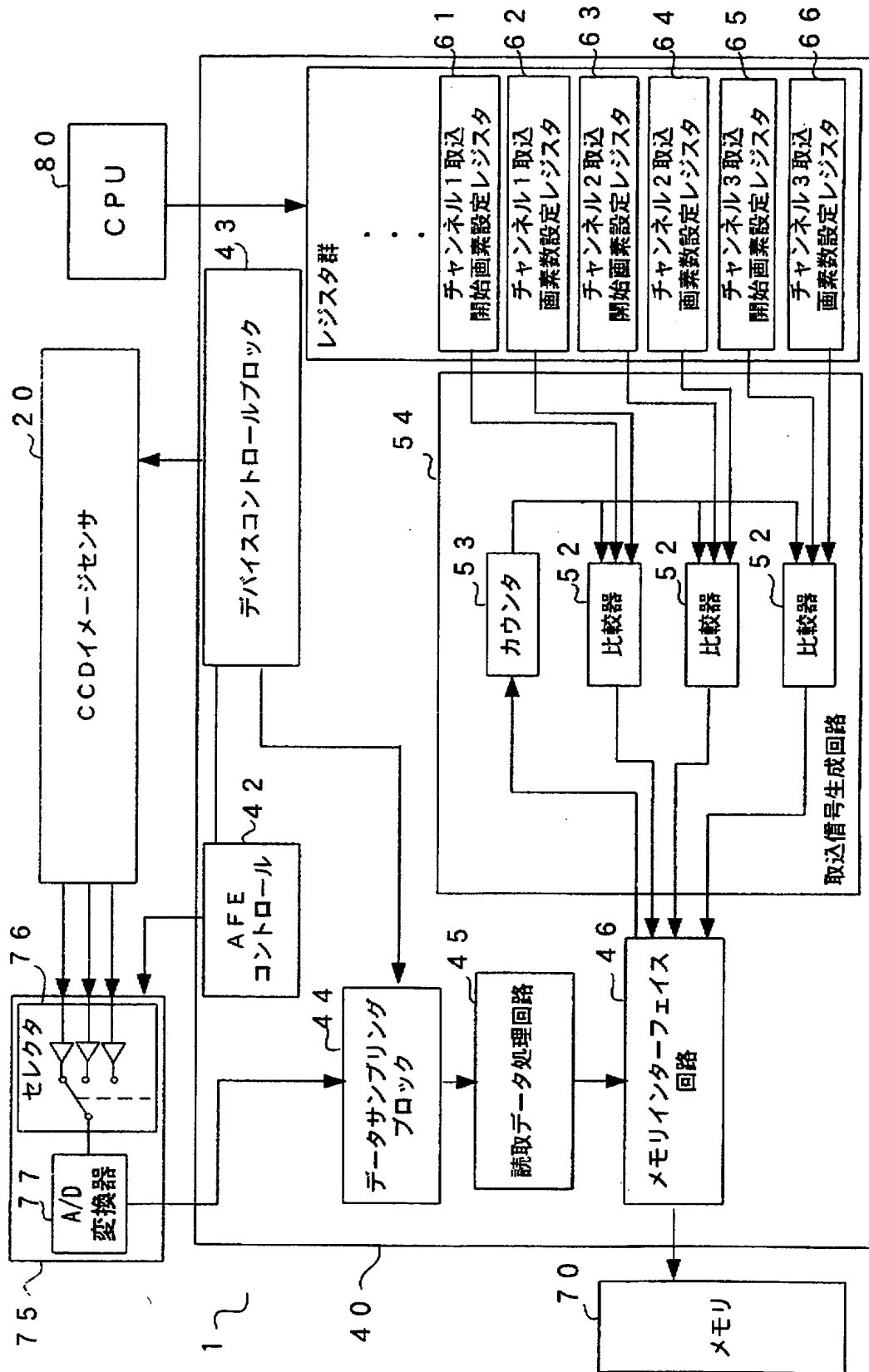
【図 4】



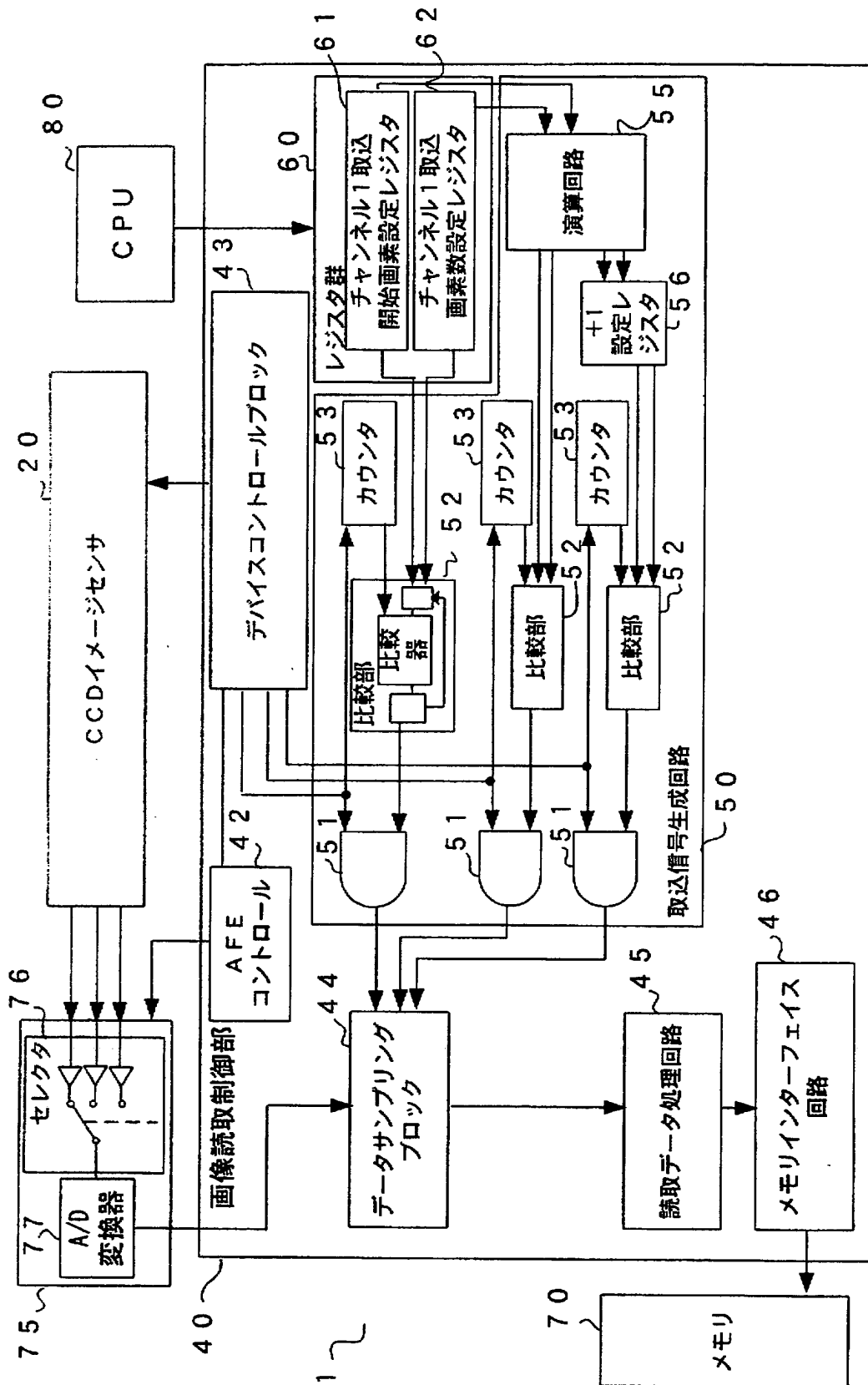
【図 5】

(a)			(b)		
ch1_1	ch1_9	ch1_17	ch1_1	ch1_9	
ch3_1	ch3_9	ch3_17	ch3_1	ch3_9	
ch2_1	ch2_9	ch2_17	ch2_1	ch1_10	
ch1_2	ch1_10		ch1_2	ch1_11	
ch3_2	ch3_10		ch3_2	ch1_12	
ch2_2	ch2_10		ch2_2	ch1_13	
ch1_3	ch1_11		ch1_3	ch1_14	
ch3_3	ch3_11		ch3_3	ch1_15	
ch2_3	ch2_11		ch2_3	ch1_16	
ch1_4	ch1_12		ch1_4	ch1_17	
ch3_4	ch3_12		ch3_4		
ch2_4	ch2_12		ch2_4		
ch1_5	ch1_13		ch1_5		
ch3_5	ch3_13		ch3_5		
ch2_5	ch2_13		ch2_5		
ch1_6	ch1_14		ch1_6		
ch3_6	ch3_14		ch3_6		
ch2_6	ch2_14		ch2_6		
ch1_7	ch1_15		ch1_7		
ch3_7	ch3_15		ch3_7		
ch2_7	ch2_15		ch2_7		
ch1_8	ch1_16		ch1_8		
ch3_8	ch3_16		ch3_8		
ch2_8	ch2_16		ch2_8		

【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 受光素子を一行に配置した第 1、第 2 センサと、第 1 センサの受光素子全ての画素信号を出力する第 1 シフトレジスタと、第 2 センサの受光素子の偶数番目及び奇数番目の画素信号を各々出力する第 2、第 3 シフトレジスタとからなるイメージセンサを備えた画像読取装置において、第 1、第 2 センサが持つ無効な素子の画素データをメモリに書き込まないようにすることを目的とする。

【解決手段】 CCD リニアイメージセンサ 2 0 を構成する第 1 ～ 第 3 シフトレジスタから出力される画素信号を、A F E 7 5 を介して時分割で選択しつつ取り込み、その取り込んだ画素データをデータサンプリングブロック 4 4 で順次サンプリングしてメモリ 7 0 に記憶する。そして、そのサンプリングタイミングを、取込信号生成回路 5 0 にて制御することにより、メモリ 7 0 に記憶される画素データを、各シフトレジスタから出力される有効画素の画素データに制限する。

【選択図】 図 1

特願 2 0 0 2 - 2 1 1 2 2 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 6 7]

1. 変更年月日

1 9 9 0 年 1 1 月 5 日

[変更理由]

住所変更

住 所

愛知県名古屋市瑞穂区苗代町 1 5 番 1 号

氏 名

ブラザー工業株式会社